

РЕАЛИЗАЦИЯ АЛГОРИТМА ВЕКТОРНОГО ОГРАНИЧЕНИЯ АМПЛИТУДЫ КОМПЛЕКСНОГО СИГНАЛА НА ВЫСОКОПРОИЗВОДИТЕЛЬНОМ ПРОЦЕССОРЕ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

Огурцов А.Г.¹, Кузин А.А.¹, Кочубейник И.В.¹

¹ФГБОУ ВПО «Нижегородский государственный технический университет им. Р.Е. Алексеева», Нижний Новгород, Россия (603950, ГСП-41, Нижний Новгород, ул. Минина, 24), e-mail: ogurtsov@ntu.nnov.ru

В статье рассмотрена программная реализация алгоритма векторного ограничения амплитуды комплексного сигнала на языке ассемблера для высокопроизводительного процессора цифровой обработки сигналов (ВЩОС) отечественного производства. Приведена структурная схема ограничителя и блок-схема его программной реализации. Указаны характеристики ВЩОС АО «ПКК Миландр». Приведено описание разработанного на основе этих сигнальных процессоров интегрированного модуля, на котором производились измерения производительности ВЩОС при реализации алгоритма векторного ограничения. Проведено сравнение производительности ВЩОС и его зарубежного аналога ADSP-TS201STigerSHARC при реализации алгоритма ограничения. Показано, что скорость выполнения алгоритма векторного ограничения комплексного сигнала на отечественном ВЩОС практически совпадает со скоростью выполнения алгоритма на зарубежном аналоге.

Ключевые слова: цифровая обработка, сигнальные процессоры, производительность, векторное ограничение, комплексный сигнал.

THE IMPLEMENTATION OF VECTOR LIMITATION OF COMPLEX SIGNAL MAGNITUDE FOR THE HIGH-PERFORMANCE DIGITAL SIGNAL PROCESSOR

Ogurtsov A.G.¹, Kuzin A.A.¹, Kochubeynik I.V.¹

¹ Nizhny Novgorod State Technical University n.a. R.E.Alekseev, Nizhny Novgorod, Russia (603950, Nizhny Novgorod, street Minina, 24), e-mail: ogurtsov@ntu.nnov.ru

In the paper program realization of vector limitation of complex signal magnitude algorithm in assembler language for the home-produced high-performance digital signal processor (HPDSP) is discussed. The structural flowchart of limiter and the block-diagram of its program implementation are adduced. The characteristics of HPDSP of JSC «ICC Milandr» are presented. The description of integrated module, based on HPDSP, used for HPDSP performance measurement is adduced. The comparison of performance of JSC «ICC Milandr» HPDSP versus TS201S TigerSHARC had been made when implementing vector limitation algorithm. It is shown that the rate of vector limitation of complex signal magnitude algorithm on home-produced HPDSP is practically coincides with the foreign DSP.

Keywords: digital signal processing, digital signal processor, performance, vector limitation, complex signal.

Современные системы цифровой обработки сигналов широко используют высокопроизводительные процессоры цифровой обработки сигналов (ВЩОС). Аппаратура на их основе используется при обработке радиолокационной информации, изображений в реальном времени, цифровой обработке речевых сигналов, в системах радиосвязи, системах дистанционного зондирования атмосферы, цифровой измерительной аппаратуре, находит широкое применение в системах управления транспортными, авиационно-космическими и энергетическими комплексами.

В данной работе рассматривается реализация на высокопроизводительном процессоре цифровой обработки сигналов (ВЩОС), разработанном ЗАО «ПКК Миландр» [2], алгоритма векторного ограничения комплексного сигнала (ВОГП) [3], широко

используемого в системах цифровой обработки сигналов для защиты от преднамеренных и непреднамеренных импульсных помех. Производится сравнение полученных результатов с результатами реализации алгоритма на процессоре ADSP-TS201 TigerSHARC фирмы AnalogDevices [4,5].

Алгоритм ВОГР может быть использован для ограничения амплитуды комплексных отсчетов импульсных помех в сигналах РЛС. При этом для каждого комплексного отсчета входного сигнала выполняется проверка условия: если квадрат амплитуды отсчета больше квадрата заданного порогового уровня, то квадратуры входного отсчета заменяются значениями, вычисленными по следующей формуле

$$x_{i\text{ОГР}} = (x_i * U_{\text{пор}}) / (x_i^2 + y_i^2)^{1/2},$$

$$y_{i\text{ОГР}} = (y_i * U_{\text{пор}}) / (x_i^2 + y_i^2)^{1/2},$$

где $x_{i\text{ОГР}}$ и $y_{i\text{ОГР}}$ – квадратуры комплексного отсчета после ограничения, x_i и y_i – квадратуры комплексного отсчета до ограничения, $U_{\text{пор}}$ – пороговое значение.

Если условие превышения квадрата порога не выполняется, то такой отсчет остается без изменения.

Расчет порога ограничения производится по следующей формуле: $U_{\text{пори}} = g \cdot \sigma_i$, где σ_i^2 – оценка мощности сигнала при i -м положении скользящего окна, i – номер элемента разрешения по дальности, g – коэффициент порогового устройства.

Функция, реализующая алгоритм ВОГР, реализована в виде отдельного модуля на языке ассемблера. Для оптимизации скорости выполнения программы алгоритм разбит на 6 блоков. Первый блок, выполняющий вычисление квадратов амплитуд входного массива отсчетов, реализуется путем вызова оптимизированной функции перемножения двух массивов комплексных чисел с одновременным комплексным сопряжением одного из входных массивов. Во втором блоке вычисляется константа, используемая для вычисления оценки мощности сигнала в скользящем окне. Точность вычисления до последнего значащего бита, формат с плавающей точкой одинарной точности. Далее, в третьем блоке вычисляется служебный массив U , элементы которого представляют собой оценку мощности сигнала внутри скользящего окна, при этом сдвиг окна соответствует порядковому номеру элемента в массиве U . На следующих трех этапах алгоритма производится сравнение значения квадрата амплитуды входных отсчетов и значений порога из массива U . Вся дистанция разбивается на три участка, при этом на первом участке для оценки мощности используется одно окно, расположенное позже анализируемого отсчета, на втором участке используется два окна, располагающиеся ранее и позднее анализируемого отсчета через интервал M точек, и на третьем участке используется одно окно, расположенное ранее анализируемого отсчета.

Дополнительно в программе используется 2 массива для промежуточных вычислений длиной $2 \cdot D$ и D слов.

На рисунке 1 изображена блок-схема программы, реализующей алгоритм ВОГР.

Результаты работы программы приведены на рисунке 2. На рисунке показаны входной (сплошная линия) и выходной (пунктирная линия) сигналы функции ВОГР, при длине окна $W=16$ и интервале $M=4$.

Для реализации алгоритма использовался многопроцессорный (интегрированный) модуль (ИМ) на ВПЦОС ЗАО «ПКК Миландр», разработанный на кафедре информационных радиосистем Нижегородского государственного технического университета им. Р.Е. Алексеева [1]. Структура ИМ показана на рисунке 3.

В состав модуля входят:

- четыре процессора обработки сигналов ВПЦОС0 – ВПЦОС3;
- блок синхронной динамической памяти SDRAM объемом 256МБайт;
- постоянное запоминающее устройство FLASH объемом 64МБайта;
- контроллер системной шины (HOST), выполненный на базе микросхемы FPGA Virtex-6 фирмы XilinxXC6VLX130T;
- температурный монитор Thermomonitor на базе двух микросхем TMP422 (или TMP423) фирмы TexasInstruments;
- опорный генератор синхронизации GEN с частотой 20МГц;
- умножитель на 5 частоты опорного генератора CLOCKx5.

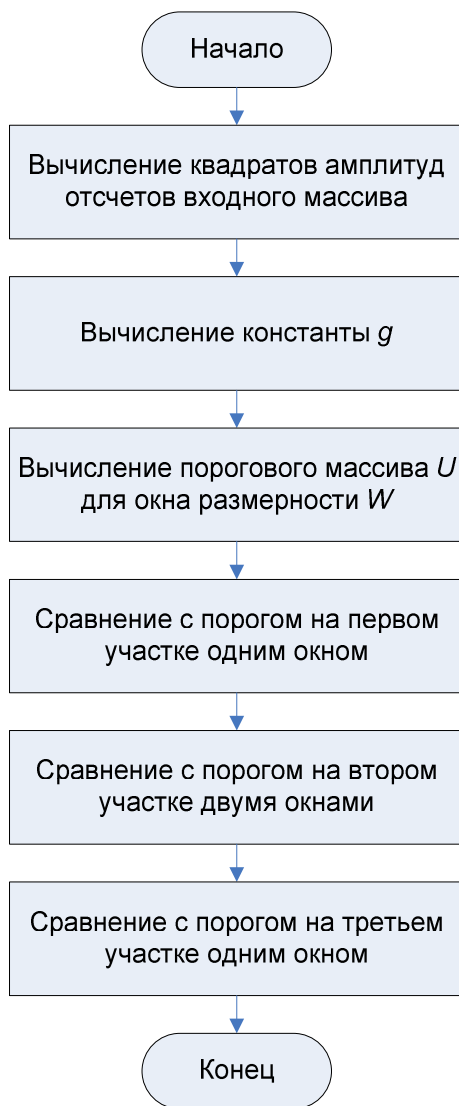


Рис.1. Алгоритм работы программы ВОГР

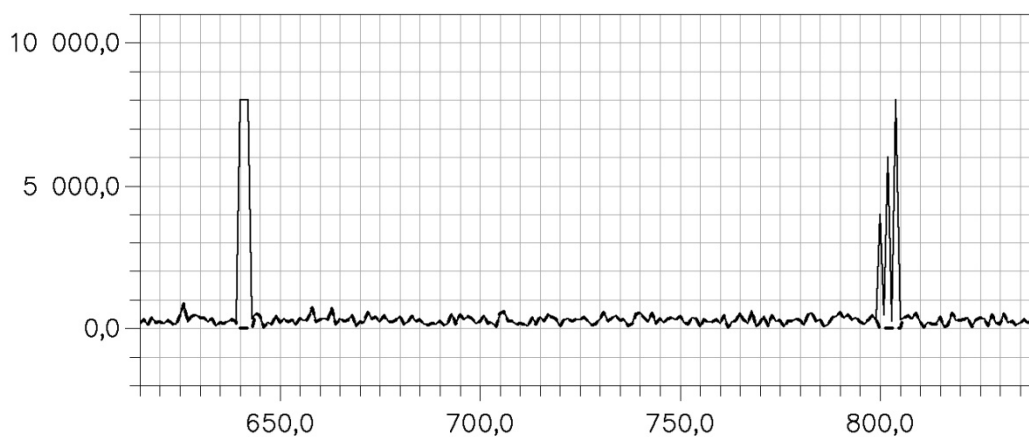


Рис.2. Входной и выходной сигнал ВОГР

Процессоры ВПЦОС, динамическая память, постоянная память и контроллер подключены к системной шине кластера SYSTEM BUS разрядностью данных 64 бита. Два LINK-порта каждого процессора используются для организации кольцевой связи (сплошные линии на рисунке 1) и по одному – для организации возможных перекрестных связей (штриховые линии на рисунке 1). По одному LINK-порту каждого процессора выводится на внешние разъемы. HOST-контроллер обеспечивает доступ к системной шине процессорного кластера через внешние интерфейсы Ethernet и PCI-Express.

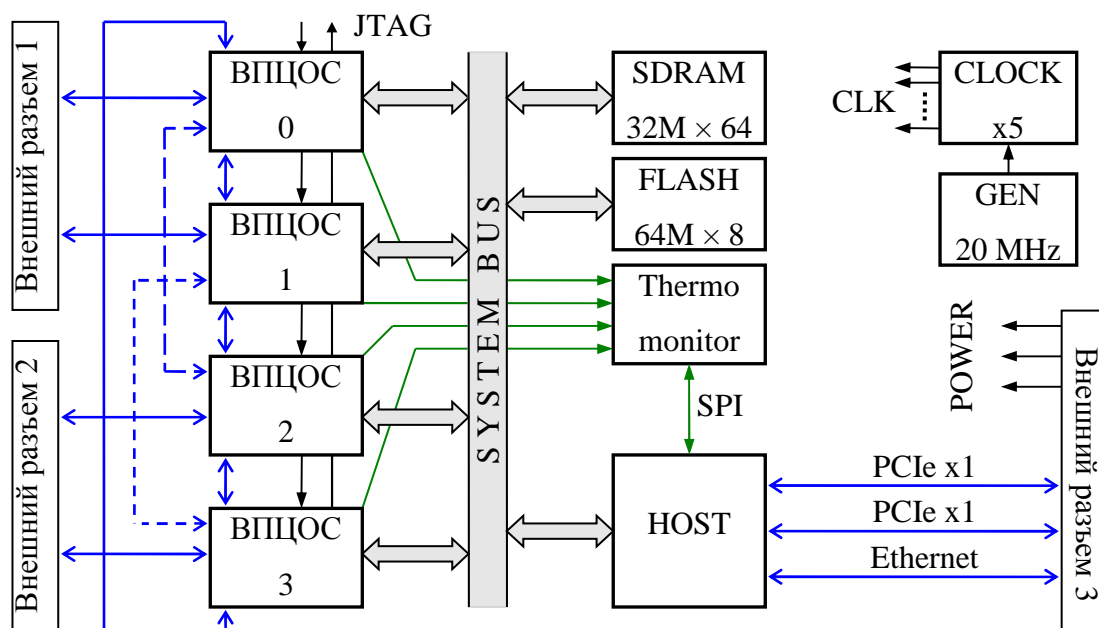


Рис.3. Структура ИМ

При реализации алгоритма использовались следующие возможности процессоров:

- встроенные счетчики циклов;
- чтение и запись квадрословами;
- постинкрементация, арифметические и логические операции с указателями;
- встроенная адресация циклических буферов;
- условные отложенные переходы с предсказанием и без предсказания ветвления;
- безусловные отложенные переходы;
- исполнение нескольких команд за один такт;
- пересылка регистров через АЛУ.

В таблице 1 приведены результаты выполнения алгоритма векторного ограничения на процессоре ВПЦОС «ПКК Миландр».

Таблица 1**Данные временных затрат функции ВОГР**

Длина окна	Машинных тактов процессора на 1 отсчет комплексных входных данных	
	ВПЦОС ЗАО «ПКК Миландр»	TigerSHARCADSP-TS201
256	20	19
512	21	25
1024	31	31
2048	30	34
4096	33	39

Для сравнения в таблице приведены данные, полученные с использованием процессора TigerSHARCADSP-TS201 фирмы AnalogDevices.

Сравнительный анализ результатов реализации алгоритма векторного ограничения комплексных сигналов на процессоре TigerSHARCADSP-TS201 фирмы AnalogDevices и ВПЦОС российской компании АО «ПКК Миландр» показал, что при реализации данного алгоритма скорость вычислений ВПЦОС АО «ПКК Миландр» практически совпадает со скоростью вычислений процессора TigerSHARCADSP-TS201S.

Это позволяет утверждать, что разработанный отечественный сигнальный процессор не уступает по характеристикам сигнальному процессору TigerSHARCADSP-TS201S и позволяет обеспечить решение практически важных задач цифровой обработки сигналов, в частности, задач радиолокационного обнаружения.

Работа выполнена при поддержке Министерства образования и науки РФ в рамках договора № 02.G25.31.0061 от «12» февраля 2013 года (в соответствии с Постановлением Правительства Российской Федерации от 9 апреля 2010 г. №218)

Список литературы

1. Кузин, А.А., Плужников, А.Д., Приблудова, Е.Н. Мультипроцессорный модуль на основе высокопроизводительных процессоров цифровой обработки сигналов// Цифровая обработка сигналов.-2015. -№2.
2. Мякочин, Ю.О. 32-разрядный суперскалярный DSP-процессор с плавающей точкой // Компоненты и технологии. – 2013. – №7.
3. Радиоэлектронные системы: основы построения и теория. Справочник. Изд. 2-е, перераб. и доп./Под ред. Я.Д. Ширмана, - М.: Радиотехника, 2007.-512 с.
4. ADSP-TS201 TigerSHARC Processor Hardware Reference. Revision 1.1, December 2004. Analog Devices, Inc. URL: http://www.analog.com/media/en/dsp-documentation/processor-manuals/396096833ts201_hwr.pdf.

5. EE-218. Writing Efficient Floating-Point FFTs for ADSP-TS201 TigerSHARC Processors. Rev 2 – March 4, 2004. URL: <http://www.analog.com/media/en/technical-documentation/application-notes/EE-218.pdf>.

Рецензенты:

Хранилов В.П., д.т.н., профессор кафедры компьютерных технологий в проектировании и производстве Нижегородского государственного технического университета имени Р.Е.Алексеева, г. Нижний Новгород;

Утробин В.А., д.т.н., профессор кафедры вычислительных систем и технологий Нижегородского государственного технического университета имени Р.Е.Алексеева, г. Нижний Новгород.